

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07131209

PUBLICATION DATE : 19-05-95

APPLICATION DATE : 02-11-93

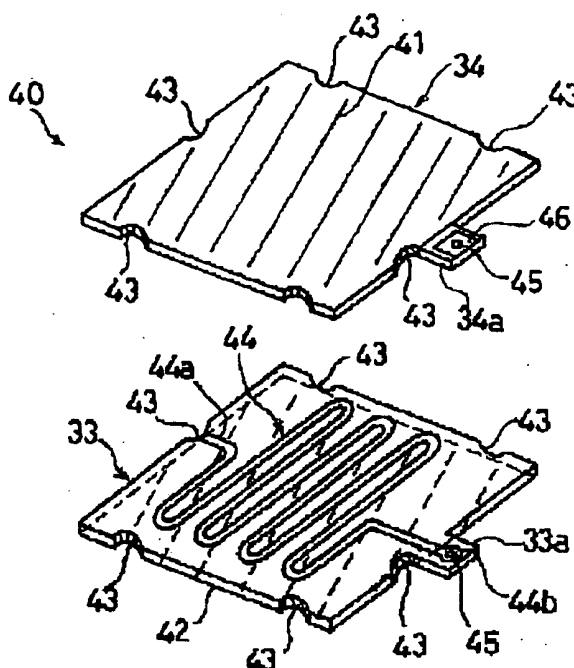
APPLICATION NUMBER : 05274400

APPLICANT : MURATA MFG CO LTD;

INVENTOR : OHIRA KATSUYUKI;

INT.CL. : H01P 1/383 H01P 1/36

TITLE : IRREVERSIBLE CIRCUIT ELEMENT



ABSTRACT : PURPOSE: To provide the irreversible circuit element which is applicable to the size, weight, and price reduction of a component although isolation characteristics are made wide in band.

CONSTITUTION: The irreversible circuit element is constituted by crossing and arranging plural center conductors on ferrite, applied with a DC magnetic field, mutually in an electrically insulated state and connecting a terminator to one port of the center conductors. Then when a matching circuit is connected to the terminator to widen the band of the isolation characteristics, a line whose electric length is an integral multiple of $1/4\lambda_g$ (λ_g : in-line wavelength) is used for the matching circuit and this formed as a strip line 40 on a thin plate substrate 33. Further, ground planes 41 and 42 of this thin plate substrate 33 are used as grounding plates in common.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131209

(43) 公開日 平成7年(1995)5月19日

(51) IntCl.⁶

H 0 1 P 1/383

1/36

識別記号

A

庁内整理番号

A

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-274400

(22) 出願日 平成5年(1993)11月2日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 川浪 崇

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 大平 勝幸

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

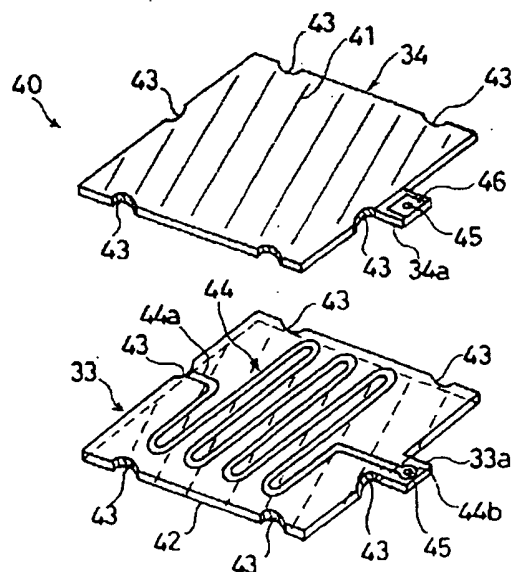
(74) 代理人 弁理士 下市 努

(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【目的】 アイソレーション特性の広帯域化を図りながら、部品の小型化、軽量化、及び低価格化に対応できる非可逆回路素子を提供する。

【構成】 直流磁界が印加されるフェライトに複数の中心導体を互いに電気的絶縁状態で、かつ交差させて配置し、上記中心導体の何れか1つのポートに終端器を接続して非可逆回路素子を構成する。そして上記終端器に整合回路を接続してアイソレーション特性の広帯域化を図る場合に、上記整合回路に電気長が $1/4 \cdot \lambda_g$ (λ_g は線路内波長) の整数倍となる線路を用い、かつ該線路をストリップライン10として薄板基板33に形成する。さらにこの薄板基板33のグランドプレーン41、42をアース板に兼用する。



【特許請求の範囲】

【請求項1】 直流磁界が印加されるフェライトに、複数の中心導体を互いに電氣的絶縁状態で、かつ交差させて配置し、上記中心導体の何れか1つのポートに終端器を接続し、該終端器に整合回路を接続してアイソレーション特性のみ広帯域化を図るようにした非可逆回路素子であって、上記整合回路に電気長が $1/4 \cdot \lambda_g$ (λ_g は線路内波長)の整数倍となる線路を用い、かつ該線路がストリップラインとして薄板基板上に形成されており、さらに該薄板基板のグランドプレーンが該非可逆回路素子のアース板を兼ねていることを特徴とする非可逆回路素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、VHF、UHF、SHF帯域等で使用される非可逆回路素子、例えばアイソレータに関し、詳細にはアイソレーション特性の広帯域化を図りながら、部品の小型化、軽量化に対応できるとともに、低価格化に貢献できるようにした構造に関する。

【0002】

【従来の技術】一般にアイソレータは、信号を伝送方向にのみ通過させ、逆方向への伝送を阻止する機能を有しており、例えば携帯電話、自動車電話等の移動通信機器の送信回路部に採用されている。このアイソレータは、図12に示すように、3ポートP1～P3のサーキュレータの何れか1つのポートP3に終端抵抗器Rを接続してなり、上記ポートP1からの信号aをポートP2に伝送し、該ポートP2から進入する反射波bを終端抵抗器Rで吸収してポートP1への伝送を阻止する機能を有しており、これにより不要波が電力増幅器に進入するのを防止している。

【0003】ところで上記アイソレータでは、ポートP2から進入する反射波bの周波数によっては吸収できない場合があり、その結果反射波bがポートP1に抜けるという問題が生じる。このような問題を回避するために、アイソレーション特性(逆方向減衰特性)の広帯域化を図ることが行われている。

【0004】一方、図11に示すように、各ポートP1～P3にL(インダクタンス)、C(キャパシタ)等からなる整合回路1を接続し、これにより各ポートP1～P3の通過帯域幅を広げる方法がある。しかし信号が通過するポートP1、P2のライン上に整合回路1、1を設けると、損失が増大してI.L.特性(通過特性)が劣化するという問題があり、また部品点数が増える分だけ部品の大型化、及び重量の増大化を招くという問題がある。

【0005】これに対して、図10に示すように、終端抵抗器RとポートP3との間(図10(a)参照)、又は終端抵抗器Rとコールドエンドとの間(図10(b)参照)に整合回路1を設け、これによりアイソレーショ

ン特性のみ広帯域化することが考えられる。このようにした場合は、信号ラインでの損失を小さくでき、I.L.特性の劣化を回避できるとともに、部品点数を削減できる分だけ小型化、軽量化に対応できる。

【0006】ここで、上記終端抵抗器に整合回路を付与する場合の一構造例として、図5ないし図9に示すものが考えられる。このアイソレータ2は、主として磁気閉回路を形成する磁性体ヨーク本体3、4内にアース板17を介在させて整合用容量基板5、及びフェライト素子6を収容配置し、上記ヨーク3の内面に貼着された永久磁石7によりフェライト素子6に直流磁界を印加するとともに、上記ヨーク4の外部に端子基板8を配設して構成されている。

【0007】そして図5及び図6は、コイル9とディスク型コンデンサ10とで整合回路素子11を構成し、該回路素子11の一端を上記容量基板5の終端抵抗膜5aに接続するとともに、他端を上記ヨーク4に接続した例である。

【0008】また図7及び図8は、基板12の表面にマイクロストリップライン13をパターン形成して整合回路基板14を構成し、該回路基板14をヨーク3の上部に搭載し、上記マイクロストリップライン13の一端13aと容量基板5の終端抵抗膜5aとを金属板15を介して接続するとともに、他端13bをスルーホール電極を介して上記ヨーク3に接続した例である。さらに図9は、図示しないストリップラインが形成された基板を重ねて整合回路基板16を構成し、該基板16をヨーク3の上部に搭載した例である。

【0009】

【発明が解決しようとする課題】ところが上述の各構造例では、整合回路素子、整合回路基板をヨーク本体に別途搭載する構造であることから、その分だけ部品の大型化、重量の増大化は避けられず、小型化、軽量化には対応できないという問題があり、この点での改善が要請されている。

【0010】また、上記コイル、ディスクコンデンサによる整合回路素子を採用した場合は、定数が不安定となり易く、このため手間のかかる電氣的特性の調整を必要とすることから、コストが上昇するという問題がある。

【0011】本発明は、上記実情に鑑みてなされたもので、アイソレーションの広帯域化を図りながら、部品の小型化、軽量化に対応でき、かつ電氣的特性の調整を簡略化してコストを低減できる非可逆回路素子を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明は、直流磁界が印加されるフェライトに、複数の中心導体を互いに電氣的絶縁状態で、かつ交差させて配置し、上記中心導体の何れか1つのポートに終端器を接続し、該終端器に整合回路を接続してアイソレーション特性のみ広帯域化を図る

3

ようにした非可逆回路素子であって、上記整合回路に電気長が $1/4 \cdot \lambda_g$ の整数倍となる線路を用い、かつ該線路がストリップラインとして薄板基板に形成されており、さらに該薄板基板のグランドプレーンが該非可逆回路素子のアース板を兼ねていることを特徴としている。

【0013】

【作用】本発明に係る非可逆回路素子によれば、 $1/4 \cdot \lambda_g$ の電気長を有するストリップラインを薄板基板にパターン形成し、該薄板基板のグランドプレーンをアース板として兼用したので、1. 1. 特性への影響を回避しながらアイソレーション特性の広帯域化を図ることができ、反射波を確実に吸収して不要波の進入を防止できる。

【0014】また上記薄板基板をアース板として兼用したので、既存の基板をそのまま利用できることから部品の寸法、容積、及び重量が増えることはほとんどない。従って、上述の整合回路素子や整合回路基板を別途搭載する場合に比べて部品の小型化、軽量化に対応できる。

【0015】さらに本発明では、上記ストリップラインの線路長を管理するだけでよいので、上記コイル、ディスクコンデンサによる回路素子を用いる場合に比べてばらつきの少ない高精度の広帯域化回路を構成することができる。これに伴って電気的調整の簡易化、又は無調整化を図ることができ、ひいてはコストを低減でき、部品の低価格化に貢献できる。

【0016】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図4は本発明の一実施例による非可逆回路素子を説明するための図であり、本実施例では集中定数型のアイソレータに適用した場合を例にとって説明する。

【0017】図において、20は本実施例構造が適用された集中定数型のアイソレータである。このアイソレータ20は、端子基板21上に大略コ字状の磁性体金属製の下ヨーク22を配置し、該下ヨーク22の底壁22a上に後述するアース基板40を介在させて整合用容量基板23を配設するとともに、フェライト素子24を配設し、上記下ヨーク22に同じく磁性体金属製上ヨーク25を装着して閉磁路の磁気回路を形成して構成されている。また上記上ヨーク25の内面には永久磁石26が貼着されており、該永久磁石26により上記フェライト素子24にバイアス用直流磁界を印加するように構成されている。

【0018】上記端子基板21上面にはアース電極36aが形成されており、該アース電極36aには下ヨーク22の下面が当接している。また上記端子基板21の左右側縁部の上面及び下面には上記アース電極36aに接続されるアース用端子電極37a、37bが形成されており、この両端子電極37a、37b同士は側面電極38により接続されている。

4

【0019】また、上記端子基板21の左右側縁部の上面及び下面にはそれぞれ入出力用端子電極32a、32bが形成されており、該端子電極32a、32b同士は側面電極39により接続されている。

【0020】上記フェライト素子24は、図示しない円板状のシールド部に網状の第1～第3中心導体27～29を一体形成し、上記シールド部上にマイクロ波用フェライト30を配設し、該フェライト30の上面に上記各中心導体27～29を互いに電気的絶縁状態で、かつ120度の角度ごとに交差させて折り曲げ配置した構造となっている。また各中心導体27～29の外部接続部27a～29aは段状に折り曲げ形成されて外方に突出している。

【0021】上記整合用容量基板23は誘電体基板31の中央部に挿入孔31aを形成し、該基板31上面の挿入孔31aの周縁部に第1～第3コンデンサ電極C1～C3を厚膜印刷により形成するとともに、この第3コンデンサ電極C3に厚膜印刷により終端抵抗膜Rを接続形成して構成されている。

【0022】上記容量基板23の挿入孔31a内にはフェライト素子24が挿入配置されており、これにより上記フェライト30の下面は各中心導体27～29のシールド部を介して下ヨーク22の底壁22a上に接続されている。

【0023】また上記各コンデンサ電極C1～C3には上記各中心導体27～29の外部接続部27a～29aが接続されており、さらにこの第1、第2中心導体27、28の接続部27a、28aの先端部27b、28bは上記端子基板21の入出力用端子電極32a、32bに接続されている。

【0024】そして、図1及び図2に示すように、上記アース基板40は本実施例の特徴をなす薄板基板33、34を積層して構成されている。

【0025】上記アース基板40は、薄板基板33の上部に薄板のアース板34を積層し、これを熱圧着して形成されたもので、該薄板基板33及びアース板34の側縁部には突起部33a、34aが一体に凸設されている。また上記アース板33の上面、及び薄板基板33の下面にはそれぞれアース電極41、42がパターン形成されており、該電極41、42同士は薄板基板33を挟んで対向している。

【0026】また、上記アース基板40の各側辺部には略半円状の側面スルーホール電極43が形成されており、該側面スルーホール電極43により上記両アース電極41、42同士は接続されている。この上面のアース電極41には上記容量基板23の下面が当接しており、上記下面のアース電極42は下ヨーク22の底壁22a上に当接している。

【0027】そして上記薄板基板33の上面にはマイクロストリップライン44がパターン形成されている。こ

のストリップライン44は線路長が $1/4 \cdot \lambda g$ の整数倍となる線路からなるもので、これの一端44aは該基板33の側辺部の側面スルーホール電極43を介して両アース電極41、42に接続されている。

【0028】また、上記ストリップライン44の他端44bは、上記アース基板40の各突起部33a、34aに貫通形成されたスルーホール電極45を介してアース板34のランド電極46に導出されている。このランド電極46と上記容量基板23の終端抵抗膜Rとは鉤状に折り曲げ形成された金属板47により接続されており、これにより本実施例の広帯域化用整合回路が構成されている。

【0029】次に本実施例の作用効果について説明する。本実施例のアイソレータ20によれば、 $1/4 \cdot \lambda g$ の電気長を有するマイクロストリップライン42を薄板基板33に形成し、該基板33をアース板34とともに積層してアース基板40を構成したので、I. L. 特性への影響を回避しながらアイソレーション特性の広帯域化を図ることができ、これにより反射波を確実に吸収でき、不要波の進入を防止できる。ちなみに本実施例では、周波数帯域を1.5～2倍程度まで拡大できる。

【0030】また本実施例では、上記アイソレータ20を構成するアース基板40に薄板基板33を内蔵して一体化したので、従来から使用していたアース板の寸法、容積、及び重量とほとんど同じにでき、上述の整合回路を別途搭載する場合に比べて部品の小型化、軽量化に対応できる。

【0031】しかも本実施例では、ストリップライン44のグランド・プレーンをアース板として兼用したので、1つの部品で共有でき、この点からも小型化、軽量化に貢献できる。ここで、上記両アース電極41、42に銀めっきを施してもよく、このようにした場合は特性をより向上できる。

【0032】さらに本実施例では、上記ストリップライン44の線路長を上記電気長となるように設定するだけでよいので、上述の集中定数で整合回路素子を構成する場合に比べてばらつきの少ない高精度の広帯域化回路を構成することができる。これによって電氣的調整の簡易化、又は無調整化を図ることができ、ひいてはコストを低減でき、部品の低価格化に貢献できる。

【0033】なお、上記実施例では、2枚の薄板基板33、34を熱圧してアース基板を形成した場合を例にとって説明したが、本発明は例えばグリーンシートに電極をパターン形成し、該電極とグリーンシートとを一体焼成してアース基板を形成してもよい。

【0034】また、上記実施例では、集中定数型の3ポートサーキュレータに終端器を接続してなるアイソレータを例にとって説明したが、本発明はこれに限られるものではなく、分布定数型や導波管型の非可逆回路素子にも勿論適用できる。

【0035】

【発明の効果】以上のように本発明に係る非可逆回路素子によれば、電気長が $1/4 \cdot \lambda g$ となるストリップラインを薄板基板に形成し、該薄板基板のグランドプレーンを該非可逆回路素子を構成するアース板に兼用したので、アイソレーション特性の広帯域化を図りながら、部品の小型化、軽量化に対応できるとともに、低価格化に貢献できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるアース基板を示す分解斜視図である。

【図2】上記実施例のアース基板の斜視図である。

【図3】上記実施例のアイソレータの分解斜視図である。

【図4】上記実施例のアイソレータの斜視図である。

【図5】本発明の成立過程を説明するためのアイソレータの分解斜視図である。

【図6】本発明の成立過程を説明するためのアイソレータの斜視図である。

【図7】本発明の成立過程を説明するためのアイソレータの分解斜視図である。

【図8】本発明の成立過程を説明するためのアイソレータの斜視図である。

【図9】本発明の成立過程を説明するためのアイソレータの斜視図である。

【図10】本発明の成立過程を説明するためのアイソレータの動作を示す図である。

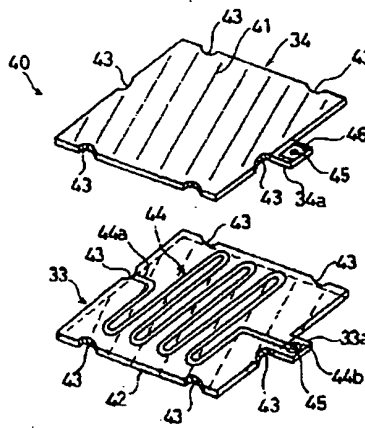
【図11】本発明の成立過程を説明するためのアイソレータの動作を示す図である。

【図12】一般的なアイソレータの動作を示す図である。

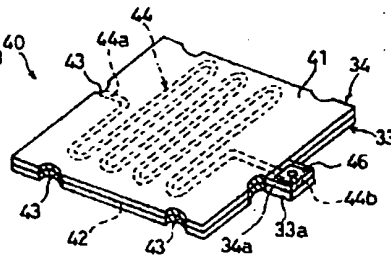
【符号の説明】

20	アイソレータ（非可逆回路素子）
27～29	中心導体
30	フェライト
33、34	薄板基板
40	アース基板
44	ストリップライン
R	終端抵抗膜（終端器）

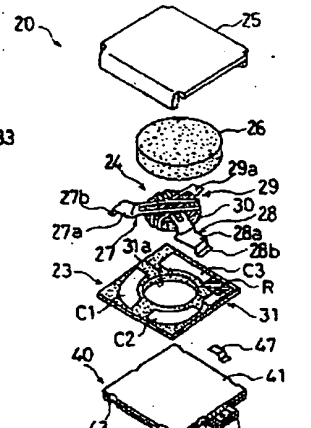
【図1】



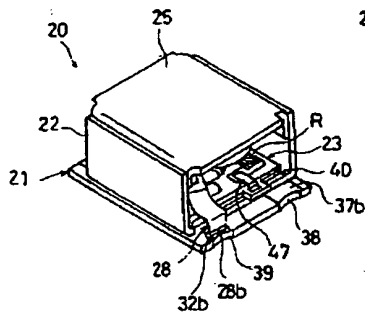
【図2】



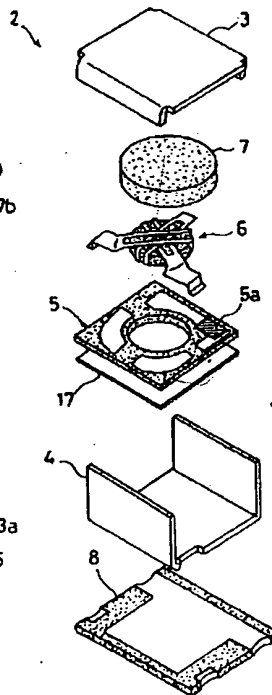
【図3】



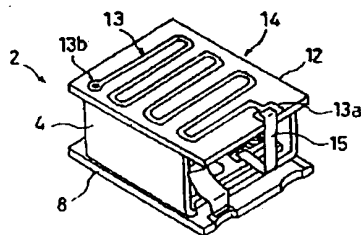
【図4】



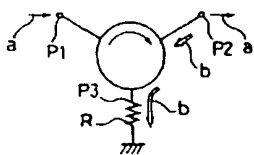
【図5】



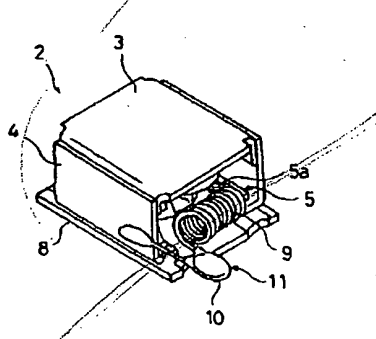
【図8】



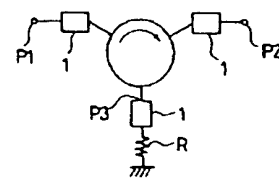
【図12】



【図6】



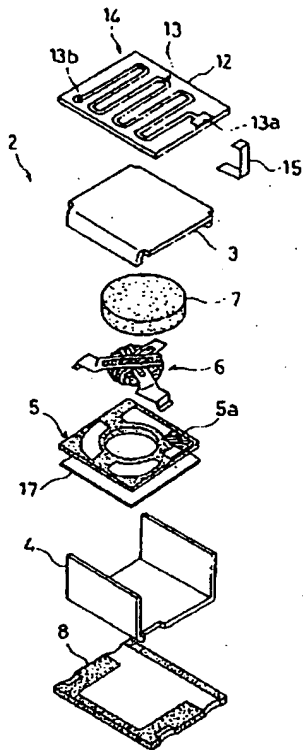
【図11】



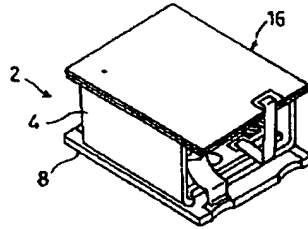
(6)

特開平7-131209

【図7】



【図9】



【図10】

